

[12] 发明专利申请公开说明书

[21] 申请号 01131269.6

[43] 公开日 2002 年 3 月 20 日

[11] 公开号 CN 1340855A

[22] 申请日 2001.8.31 [21] 申请号 01131269.6

[30] 优先权

[32] 2000.8.31 [33] JP[31] 262238/2000

[71] 申请人 琳得科株式会社

地址 日本东京

[72] 发明人 杉野贵志 妹尾秀男 高桥和弘

[74] 专利代理机构 上海专利商标事务所

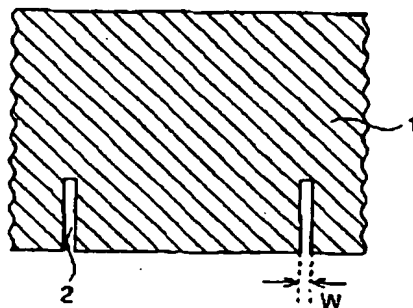
代理人 周承泽

权利要求书 2 页 说明书 13 页 附图页数 4 页

[54] 发明名称 制造半导体器件的方法

[57] 摘要

本发明第一种制造半导体器件的方法包括下列步骤:提供具有给定厚度的晶片,该晶片具有一个有半导体电路的表面和一个背面;形成切割深度小于晶片厚度的凹槽,凹槽从晶片电路表面延伸;在晶片电路表面上粘上一层表面保护片;研磨晶片背面来降低晶片的厚度,最终将晶片分成各个芯片,各芯片之间有间隔;在研磨后的晶片背面粘上一层用于拾取步骤的压敏粘合剂片,用于拾取步骤的压敏粘合剂片包括一片基底和一层叠加在其上的可能量辐射固化的压敏粘合剂层;对可能量辐射固化的压敏粘合剂层进行能量辐照;从晶片的电路表面剥离除去表面保护片。



ISSN 1008-4274

知识产权出版社出版

FS 入力済

权利要求书

1. 一种制造半导体器件的方法，该方法包括下列步骤：

5 提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背面；

形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

在晶片电路表面上粘合一表面保护片；

研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有间隔；

10 在经研磨的晶片背面上粘合一用于拾取步骤的压敏粘合片，用于拾取步骤的压敏粘合片包括一片基底和一层叠加在其上的可能量辐射固化的压敏粘合剂层；

对可能量辐射固化的压敏粘合剂层进行能量辐照；

从晶片的电路表面上剥离除去表面保护片。

2. 一种制造半导体器件的方法，该方法包括下列步骤：

15 提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背面；

形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

在晶片电路表面上粘合一表面保护片；

20 研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有间隔；

将一切割/模片结合片粘合到晶片的经研磨背面上，该切割/模片结合片包括一片基底和一层叠加在其上的粘合剂层；

进行粘合剂层的初级固化；

对相邻各芯片之间的切割/模片结合片的粘合剂层进行切割；

25 使其上粘合有切割的粘合剂层的各芯片与切割/模片结合片的基底分离；

通过粘合剂层将各芯片粘合在一给定的基材上；

进行粘合剂层的次级固化，将各芯片固定在基材上。

3. 一种制造半导体器件的方法，该方法包括下列步骤：

30 提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背面；

形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

在晶片电路表面上粘合一表面保护片；

研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有间隔；

5 将一模片接合片粘合到晶片的经研磨背面上，该模片包括一片基底和一层叠加在其上的热塑性粘合剂层；

对相邻各芯片之间的模片接合片的热塑性粘合剂层进行切割；

使其上粘合有切割的热塑性粘合剂层的各芯片与模片接合片的基底分离；

通过该热塑性粘合剂层将各芯片粘合在给定的基材上；

加热该热塑性粘合剂层，将各芯片固定在基材上。

10 4. 如权利要求 1-3 中任一权利要求所述的方法，其特征在于所述表面保护片具有可能量辐射固化的压敏粘合剂层，表面保护片的可能量辐射固化的压敏粘合剂层在表面保护片粘合到晶片电路表面上之后但在对晶片背面研磨之前进行固化。

说明书

制造半导体器件的方法

5 发明领域

本发明涉及一种制造半导体器件的方法，具体而言，本发明方法涉及一种能实现良好的芯片定位，从而提高拾取(pickup)效率的制造半导体器件方法。

本发明还涉及一种制造半导体器件的方法，具体而言，涉及一种制造半导体器件的方法，其中不仅可容易地在极薄的芯片背面形成适量的粘合剂层，从而避免芯片断裂、芯片开裂或封装开裂，而且能实现良好的芯片定位，因此提高产率。

发明背景

近几年，促进了 IC 卡的推广，现在要求进一步降低其厚度。因此，现在需要约 350 μ m 的半导体芯片厚度减小到 50-100 μ m 甚至更小。

15 先在晶片的电路表面粘合一表面保护片，随后研磨晶片的背面，之后对此晶片进行切割，可获得这种薄的半导体芯片。当研磨后晶片厚度变得很小时，在对晶片切割时极可能发生芯片断裂和芯片开裂。

作为另一种降低芯片厚度的方法，日本专利公开公报 No. 5(1993)-335411 揭示一种制造半导体芯片的方法，其中是从晶片表面形成一定深度的凹槽，之后研磨晶片的背面。此外，该公报还揭示了一种方法，其中在研磨晶片背面步骤之后，将粘合于胶粘带上的小片(芯片)从该胶粘带上分离(拾取)，然后固定在一引线框上。

该方法中，粘合在胶粘带上的芯片会发生位置不当(misregistration)，使拾取装置发生识别上的差错，导致降低生产效率。

25 当想要拾取粘合在胶粘带上的半导体芯片，并将拾取的半导体芯片固定在一基材上时，通常采用称作“配送器法”，或采用使用一种粘合剂薄膜方法。

在配送器方法中，使用一配送器将给定量的液体粘合剂施加到基材的预定要固定半导体芯片的一些部位上，随后通过施压粘合/固定，将半导体芯片固定在该基材上。然而，这种配送器的缺点在于，难以控制粘合剂的排放量，从而引起粘合剂量波动，造成质量的波动，而且由于粘合剂是液体，会发生渗漏现象。当发生粘合剂渗漏时，粘合剂会流到芯片的上表面，或使半导体芯片倾斜，从而在导

线接合时可能发生故障。而且，在树脂密封后，将包装物置于高温环境中时，从任何渗漏的粘合剂挥发出的挥发组分会引起包装开裂。

使用粘合剂薄膜的方法中，粘合剂薄膜切成与芯片形状基本相同，再将其粘合到基材上预定为固定半导体芯片的一些部位，或将切成和芯片形状基本相同的粘合剂薄膜粘合到芯片上，再将芯片通过该粘合剂薄膜固定到基材上。然而，这种
5 方法中，需要预先将粘合剂薄膜切成与芯片基本相同的形状，实施这种方法是很费时间的。而且，和芯片同样极小尺寸的粘合剂薄膜的粘合操作是必不可少的，所以这种方法很费力。

即使采用上述任一方法，仍需处理已研磨得极薄从而变得极易破碎的小芯片，因此稍有操作上的失误，就会造成芯片断裂。
10

所以，需要研制一种尤其能在芯片背面安全方便地形成粘合剂层的方法。

为完成这一目标，本发明人在日本专利申请 No. 11(1999)-340334 中提出“一种制造半导体器件的方法”，该方法包括下列步骤：

提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背
15 面；

形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

在晶片的电路表面上粘合一层表面保护片；

研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有
间隔；

将一切片/模片(die)接合片粘合到晶片的经研磨的背面上，该切片/模片包
20 括一片基底和叠加在其上的一层粘合剂层，粘合时务使该粘合剂层与晶片的已研磨背面接触；

从晶片的电路表面剥离除去表面保护片，从而使切割/模片结合片暴露于相邻各芯片之间的各个间隔空间；

25 切割在切割/模片结合片中露出来的的粘合剂层；

将其上粘合了切割粘合剂层的各芯片从切割/模片结合片的基底上分离；

通过粘合剂层将各芯片粘合到一给定基材上。

该方法能在极薄芯片背面安全方便地形成适量的粘合剂层。

然而，当粘合了切割/模片结合片后，剥离除去表面保护层时，切割/模片结
30 合片的粘合剂层会受到切向的力，导致芯片的定位失误。而且，切割在相邻芯片之间露出的切割/模片结合片的粘合剂层时，粘合剂层的任何振动或流动也会引起

芯片的定位失误。芯片的定位失误会使拾取装置发生辨认上的差错，导致降低生产效率。

发明目的

- 5 基于上述现有技术的情况研究出了本发明。因此，本发明的目的是提供一种制造半导体器件的方法，使该方法能实现良好的芯片定位，从而提高拾取效率。本发明的另一个目的是提供制造半导体器件的方法，此方法不仅可容易地在极薄的芯片背面形成适量的粘合剂层，从而避免芯片断裂、芯片开裂或封装开裂，而且能实现好的芯片定位，因此提高产率。

10

发明概述

本发明制造半导体器件的第一种方法包括下列步骤：

提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背面；

- 15 形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

在晶片的电路表面上粘合一层表面保护片；

研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有间隔；

- 20 在经研磨后的晶片背面粘合一层用于拾取步骤的压敏粘合剂片，该压敏粘合剂片包括一片基底和叠加在其上的一层可能量辐射固化的压敏粘合剂层；

对该可能量辐射固化的压敏粘合剂层进行能量辐照；

从晶片的电路表面上剥离除去表面保护片。

- 25 第一种方法中，用于拾取步骤的可能量辐射固化的压敏粘合剂层在剥离除去表面保护片之前固化。因此，即使在剥离除去表面保护片时，正固化了的压敏粘合剂层不会受力，因此可实现优良的芯片定位，提高了拾取效率。

本发明制造半导体器件的第二种方法包括下列步骤：

提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背面；

形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

- 30 在晶片的电路表面上粘合一层表面保护片；

研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有

间隔；

将一层切割/模片结合片粘合到晶片的经研磨背面上，该切片/模片包括一片基底和叠加在其上的一层粘合剂层；

进行粘合剂层的初级固化；

5 切割在相邻各芯片之间的切割/模片结合片的粘合剂层；

将其上粘合有切割的粘合剂层的各芯片与切割/模片结合片的基底分离；

通过粘合剂层将各芯片粘合在一给定的基材上；

进行该粘合剂层的次级固化，将各芯片固定在基材上。

本发明制造半导体器件的第三种方法包括下列步骤：

10 提供具有给定厚度的晶片，该晶片具有一个有半导体电路的表面和一个背面；

形成切割深度小于晶片厚度的凹槽，凹槽从晶片电路表面延伸；

在晶片的电路表面上粘合一层表面保护片；

研磨晶片背面来降低晶片的厚度，最终将晶片分成各个芯片，各芯片之间有

15 间隔；

将一层模片接合片粘合到晶片的经研磨背面上，该模片包括一片基底和叠加在其上的一层热塑性粘合剂层；

切割在相邻各芯片之间的模片接合片的热塑性粘合剂层；

将其上粘合有切割的热塑性粘合剂层的各芯片与模片接合片的基底分离；

20 通过该热塑性粘合剂层将各芯片粘合在一给定的基材上；

加热该热塑性粘合剂层，将各芯片固定在基材上。

本发明中，当表面保护片具有可能量辐射固化的压敏粘合剂层时，该表面保护片的可能量辐射固化的压敏粘合剂层最好在将该表面保护片粘合到晶片电路表面之后，但在对晶片背面进行研磨之前进行固化。

25 本发明的第二种和第三种方法中，由于在剥离除去表面保护片时，已经降低了切割/模片结合片或模片粘合片的粘合剂层的流动性，表面保护片的剥离不会引起粘合剂层的受力。因此，可实现优良的芯片定位，提高拾取效率。而且，尤其可避免切割粘合剂层时芯片的定位失误，拾取装置可以准确地进行芯片辨认，从而有效地制造半导体器件。

30

附图简述

图 1 所示为本发明制造半导体器件的第一种、第二种和第三种方法的第一步；

图 2 所示为本发明制造半导体器件的第一种、第二种和第三种方法的第二步；

图 3 所示为本发明制造半导体器件的第一种、第二种和第三种方法的第三步；

5 图 4 所示为本发明制造半导体器件的第一种方法的第六步；

图 5 所示为本发明制造半导体器件的第二种方法的第四步；

图 6 所示为本发明制造半导体器件第二种方法的第五步；

图 7 所示为本发明制造半导体器件的第二种方法的第六步；

图 8 所示为本发明制造半导体器件的第三种方法的第四步；

10 图 9 所示为本发明制造半导体器件的第三种方法的第五步；

图 10 所示为本发明制造半导体器件的第三种方法的第六步。

发明的详细描述

下面参见附图详细描述本发明。

15 首先，描述本发明的第一种方法。

第一步：参见图 1，提供给定厚度的晶片 1，它具有一个有半导体电路的表面和一个背面，形成切割深度小于晶片 1 厚度的凹槽 2，这些凹槽从晶片电路表面延伸。例如，通过沿晶片 1 的切割位置进行切割，形成从晶片 1 表面延伸的给定深度的凹槽 2，用于将多个半导体电路彼此分开。

20 使用常规的晶片切片机进行切割形成凹槽 2，切割深度可适当调整。切割时，根据需要，可使用晶片切割时通常用切片带(dicing tape)来固定晶片 1。虽然没有特别的限制，晶片 1 的厚度一般在约 350-800 μm 。可根据要求的芯片厚度适当确定凹槽 2 的深度，一般在约 20-500 μm 。另一方面，凹槽 2 的宽度 W 等于使用的切割刀片的厚度，一般在约 10-100 μm 范围。

25 第二步：参见图 2，将表面保护片 10 粘合到晶片 1 的电路表面。具体而言，进行这样的表面保护片粘合，使之覆盖晶片 1 的整个电路表面。

表面保护片 10 包括一片基底 11 和一层叠加在其上的可除去的粘合剂层 12。粘合剂层 12 具有在使用后易于除去的性能。可除去的粘合剂层 12 用的是通过能量辐射(能量射线或能量束)固化的粘合剂。可能量辐射固化的粘合剂在能量辐照前能以足够的粘合强度固定被粘合物，但通过能量辐照而能固化，从而失去粘合强度，因此容易剥离。

30

例如，可将通常用于各种部件的保护或半导体晶片处理中使用的各种保护片用作上述的表面保护片 10。尤其是，本发明宜使用本发明人在日本专利公开公报 No. 2000-68237 和日本专利申请 No. 11(1999)-305673 中提出的表面保护片。

5 本发明中，当表面保护片 10 具有可剥离的辐射固化的压敏粘合剂层时，表面保护片 10 宜粘合到晶片的电路表面上，在进行下列步骤之前固化该可能量辐射固化的压敏粘合剂层。当通过研磨晶片背面来降低半导体晶片的厚度时，在半导体晶片上作用着横向剪切力。所以，如果压敏粘合剂层是柔软的，芯片受剪切力会横向移动，从而引起芯片的定位失误。然而，采用上述方法固化了压敏粘合剂层，即使施加横向力，仍可避免芯片的定位失误。而且，这种横向力不会引起芯
10 片的分离和脱落，从而可以避免芯片收率的下降。

第三步：参见图 3，，研磨晶片的背面来减小晶片 1 的厚度，从而最终导致半导体晶片 1 分成各个芯片 3，在芯片 3 之间有间隔。具体而言，除去了凹槽 2 的底部后，还继续研磨晶片 1 直至晶片 1 的给定厚度，从而实现分成各个芯片 3。使用常规的背面研磨机实施晶片背面的研磨。

15 第四步：将用于拾取步骤的压敏粘合剂片 20 粘合到半导体晶片经研磨的背面。

用于拾取步骤的压敏粘合剂片 20 包括一片基底 21 和一层叠加在其上的可能量辐射固化的压敏粘合剂层 22。

20 可以使用各种已知的可能量辐射固化的压敏粘合剂组分，对构成可能量辐射固化的压敏粘合剂层 22 的可能量辐射固化的压敏粘合剂没有特别的限制。可能量辐射固化的压敏粘合剂通常包含一种丙烯酸类压敏粘合剂和一种可能量辐射聚合的化合物作为主要组分。

25 作为用于可能量辐射固化压敏粘合剂的可能量辐射聚合的化合物，广泛使用其每分子中有至少两个可光聚合碳碳双键的低分子量化合物，这类化合物光辐照后能生成三维网状结构，例如在日本专利公开公报 No. 60(1985)-196956 和 60(1985)-223139 中所揭示的。

可能量辐射固化的压敏粘合剂可以是一种具有可能量辐射聚合的基团作为侧链的可能量辐射固化的共聚物。有关这种可能量辐射固化共聚物的详细描述可参见于例如日本专利公开公报 No. 5(1993)-32946 和 8(1996)-27239。

30 第五步：用于拾取步骤的压敏粘合剂片 20 经受能量辐照。

例如，可使用电子束或紫外线作为能量辐射。尤其宜使用紫外线。在基底 21

的面上进行能量辐照。所以，当使用紫外线作为能量辐射时，基底 21 必须是透明的。

第六步：剥离掉表面保护片 10(参见图 4)。

通过在上面第五步进行能量辐照，用于拾取步骤的压敏粘合剂片 20 的可能
5 量辐射固化的压敏粘合剂层 22 得以固化，从而具有很强的抗侧面剪切力性能。所以，用于拾取步骤的压敏粘合剂片 20 的可能量辐射固化压敏粘合剂层 22 固化以后，剥离表面保护片 10 时不会引起芯片的定位失误，从而保证芯片的正确位置。而且，粘合强度已明显降低，易于进行芯片的垂直剥离。在表面保护片 10 剥离时，宜通过吸力使用于拾取步骤的压敏粘合剂片 20 的面固定。

10 下面描述本发明的第二种方法。

该方法的第一步、第二步和第三步与上述第一种方法相同。

第四步：参见图 5，将切割/模片结合片 30 粘合到经研磨后的晶片背面上。

切割/模片结合片 30 包括一片基底 31 和一层叠加在其上的粘合剂层 32。该
15 粘合剂 32 可以从基底 31 分离。粘合剂层 32 在室温或中等热压条件下粘合到各芯片 3 上。在芯片 3 上施加粘合剂层 32 后拾取芯片 3 时，粘合剂层 32 保持粘合于芯片 3 的背面，并与基底 31 分离。

这里使用的是在半导体晶片的切割和模片结合操作中常规使用的各种片作为上述切割/模片结合片 30，对此没有什么特别的限制。

例如，可供使用的切割/模片结合片包括含可能量辐射固化的压敏粘合剂组
20 分和热固化的粘合剂组分作为主要组分的粘合剂层，例如日本专利公开公报 No. 2(1990)-32181、8(1996)-53655、8(1996)-239639、9(1997)-100450 和 9(1997)-202872 中所述。

上述切割/模片结合片 30 粘合到晶片的经研磨背面后，使粘合剂层 32 进行
25 初级固化。使用包括含可能量辐射固化压敏粘合剂组分和热固性粘合剂组分作为主要组分的切割/模片结合片时，仅能量辐射固化的压敏粘合剂组分经受能量辐照固化(初级固化)。粘合剂层 32 经过此初级固化可避免随后第五步中芯片的定位失误。

尽管在图 5 的第四步中，切割/模片结合片 30 粘合到晶片的经研磨背面以后，
30 将表面保护片 10 剥离下来，本发明这第二种方法中，对剥离表面保护片 10 在何时进行没有特别的限制。可以在随后的第五至第七步骤的任一步骤进行表面保护片 10 的剥离。在上述第四步剥离表面保护片 10 时，宜通过吸力将用于拾取步骤

的压敏粘合剂片 20 的面固定。

第五步：参见图 6，切割在相邻各芯片之间的切割/模片结合片 30 的粘合剂层。

在第五步中，使用切割刀片 4 充分切割粘合剂层 32。切割时，切割/模片结合片 30 宜固定在一吸台上。切割刀片 4 的宽度 W_1 比上述凹槽 2 的宽度 W 略小。例如，宽度 W_1 宜约为宽度 W 的 30-90%。

虽然只要完全切割了粘合剂层切割深度就是令人满意的，但切割一般要达到基底 31 也被一部分切割的程度，从而能保证粘合剂层 32 完全分成为小片。结果，粘合剂层 32 被切割成其尺寸和形状与芯片 3 基本上相同的小片。

10 若在表面保护片 10 仍粘合在晶片电路表面上的情况下进行这第五步，宜使用透明的表面保护片，以便观察确定进行切割的路线。

第六步：参见图 7，粘合剂层 32 和芯片 3 一起与切割/模片结合片 30 的基底 31 分离。如上所述，粘合剂层 32 是可以基底 31 分离的。因此，当拾取芯片 3 时，粘合剂层 32 保持粘合在芯片 3 的背面，得以与基底 31 分离。

15 当粘合剂层 32 是由含能量辐射固化的压敏粘合剂组分和热固性粘合剂组分作为主要组分的粘合剂构成时，在上述第四步经受能量辐照后，粘合剂层 32 已发生初级固化。所以，此时可以有效完成将粘合剂层 32 从基底 31 剥离下来。

第七步：通过粘合剂层 32 将各芯片 3 接合到一给定基材(未标出)上。芯片 3 的背面在上述步骤 6 中已留有粘合剂层 32。将芯片 3 通过粘合剂层 32 分置在基
20 材上，并采取某种措施使粘合剂层 32 发挥其粘合强度，从而将芯片 3 固定在基材上。

当粘合剂层 32 是由含可能量辐射固化的压敏粘合剂组分和热固性粘合剂组分作为主要组分的粘合剂构成时，可通过加热产生热固性粘合剂的的结合性能，从而将芯片 3 和基材彼此牢固结合在一起。

25 下面描述本发明的第三种方法。

该方法的第一步、第二步和第三步与上述第一种方法相同。

第四步：参见图 8，将模片接合片 40 粘合到经研磨后的晶片背面上。

模片接合片 40 包括一基底 41 和叠加在其上的热塑性粘合剂层 42。该热塑性粘合剂 42 可以从基底 41 分离。热塑性粘合剂层 42 在中等热压条件下粘合到各芯
30 片 3 上。在芯片 3 上施加热塑性粘合剂层 42 后拾取芯片 3 时，粘合剂层 42 保持粘合于芯片 3 的背面，并与基底 41 分离。

热塑性粘合剂层 42 由任何聚酯树脂构成，例如聚乙酸乙烯酯、聚乙烯醇、聚乙烯醇缩丁醛、聚氯乙烯、聚甲基丙烯酸酯、聚丙烯酸酯、聚苯乙烯、聚乙烯、聚酰胺、纤维素、聚异丁烯、聚乙烯醚、聚酰亚胺树脂和各种热熔性粘合剂。热塑性粘合剂层 42 较好的是聚酯树脂或聚酰亚胺树脂。

5 上述模片接合片 40 热压结合到晶片是经研磨背面上后，让模片接合片 40 冷却。其粘合剂层 42 的冷却可以避免在随后第五步中芯片的定位失误。

尽管在图 8 所示的第四步中，模片接合片 40 粘合到晶片的经研磨背面以后再将表面保护片 10 剥离下来，表面保护片 10 的剥离在何时进行没有特别的限制，与上述第二种方法相同。可以在随后的第五至第七步骤的任一步骤进行表面保护
10 片 10 的剥离。

第五步：参见图 9，切割在相邻各芯片之间的模片接合片 40 的粘合剂层。

在第五步中，使用切割刀片 4 充分切割粘合剂层 42。切割时，模片接合片 40 宜固定在一吸台上。切割刀片 4 的宽度 W1、切割深度等和上述第二种方法相同。

若在表面保护片 10 仍粘合在晶片电路表面上的情况下进行这第五步，宜使
15 用透明的表面保护片，以便观察确定进行切割的路线。

第六步：参见图 10，粘合剂层 42 和芯片 3 一起与模片接合片 40 的基底 41 分离。如上所述，粘合剂层 42 是可以从基底 41 分离的。因此，当拾取芯片 3 时，粘合剂层 42 保持粘合在芯片 3 的背面，得以与基底 41 分离。

第七步：通过粘合剂层 42 将各芯片 3 接合到一给定基材(未标出)上。芯片 3
20 的背面在上述步骤 6 中已设有粘合剂层 42。因此，将芯片 3 分置在基材上，进行热压粘合，就将芯片 3 牢固地固定在基材上。

发明效果

从前面所述可以理解，本发明制造半导体器件的第一种方法能实现良好的芯
25 片定位，从而提高拾取效率。

本发明的第二种和第三种制造半导体器件的方法可以容易地在极薄的芯片背面形成适量的粘合剂层，从而可以避免芯片断裂、芯片开裂和封装开裂，同时能确保良好的芯片定位，因此提高产率。

30 实施例

参考下面一些实施例进一步说明本发明，但这些实施例不构成对本发明的限

制。

以下，按下述的方式进行“芯片定位评价”、“芯片断裂/开裂检测”和“封装开裂检测”。

“芯片定位评价”

- 5 在与晶片取向平面平行的方向(X 方向)和垂直的方向(Y 方向)形成一些凹槽。借助晶片切割机(型号 A-WD-4000B, 由 Tokyo Seimitsu 制造), 利用其定位功能测定在 X 方向凹槽和 Y 方向凹槽的许多交叉点中, 由晶片中心上下左右五根凹槽互相交叉形成的交叉点(8 个点)凹槽位置之间的错位, 以及在对应于分成芯片后上述凹槽的芯片之角线位置之间的错位。X 方向和 Y 方向上的最大错位以变差表示, 这样来评价芯片的排列。

“芯片断裂/开裂检测”

用光学显微镜观察下面实施例 1-4 中以及实施例 5 和 6 与比较例 1 中制造的具有粘合剂的硅芯片各 50 个样品的表面, 检查芯片断裂和开裂情况。

“封装开裂检测”

- 15 使用给定的密封剂树脂(联苯环氧树脂), 在高压条件下, 对实施例 1-4 中制造的固定在引线框上的硅芯片进行密封。将该树脂在 175℃固化 6 小时。以这种方式, 获得 100 个封装供封装检测。各封装均在高温和高湿度(85℃, 85%RH)下静置 168 小时。之后, 各封装在和 VPS(Vapor Phase Soldering)同样环境(215℃)中静置 1 分钟, 再冷却至室温, 如此进行三次。用 SAT(扫描声学层析 Scanning
20 Acoustic Tomography)检测密封剂树脂的开裂情况。封装开裂率是产生开裂的封装数与被检测封装数之比(即后者作为 100)。

下面实施例和比较例中使用的晶片切割机、背面研磨机和表面保护片如下:

芯片切割机: DAD 2H/6T, 由 Disco Corporation 制造。

背面研磨机: DFG 850, 由 Disco Corporation 制造。

- 25 表面保护片: Adwill E-6142S, 由 LINTEC Corporation 生产。

实施例 1

- 使用上述芯片切割机以厚度 35 μ m 的刀片, 在切割深度为 150 μ m 和芯片尺寸为 10mm²条件下, 在直径为 6 英寸厚度为 625 μ m 的硅晶片上形成一些凹槽。随后, 30 将表面保护片粘合到晶片已开槽的表面上, 然后经紫外光曝光。使用上述背面研磨机研磨硅晶片的背面, 直至晶片厚度为 80 μ m, 从而将该硅晶片分成各个芯片。

之后,在硅晶片的经研磨的背面上粘合切割/模片结合片(Adwill LE500, 由 LINTEC Corporation 制造)。对该切割/模片结合片经受紫外光曝光,实现切割/模片结合片粘合剂层的初级固化。剥离除去表面保护片,使用晶片切割机以厚度 $30\mu\text{m}$ 的刀片,在切割深度为 $35\mu\text{m}$ 条件下,切割位于已分开的相邻各硅芯片之间的粘合剂层。这一操作之后,评价其芯片定位。

从切割/模片结合片上拾取各个硅芯片,将这些具有粘合剂层的芯片直接粘合到引线框的模垫部分上。对粘合剂层在 160°C 加热 30 分钟,实现粘合剂层的次级固化。这样就完成了芯片的结合。

10 实施例 2

使用上述芯片切割机以厚度 $35\mu\text{m}$ 的刀片,在切割深度为 $150\mu\text{m}$ 和芯片尺寸为 10mm^2 条件下,在直径为 6 英寸厚度为 $625\mu\text{m}$ 的硅晶片上形成一些凹槽。随后,将表面保护片粘合到晶片已开槽的表面上,然后经紫外光曝光。使用上述背面研磨机研磨硅晶片的背面,直至晶片厚度为 $80\mu\text{m}$,从而将该硅晶片分成各个芯片。

15 之后,在硅晶片的经研磨的背面上粘合切割/模片结合片(Adwill LE5000, 由 LINTEC Corporation 制造)。对该切割/模片结合片经受紫外光曝光,实现切割/模片结合片粘合剂层的初级固化。然后,切割/模片结合片固定在一吸台上,剥离除去表面保护片。使用晶片切割机,以厚度 $30\mu\text{m}$ 的刀片,在切割深度为 $35\mu\text{m}$ 条件下,切割位于已分开的相邻各硅芯片之间的粘合剂层。这一操作之后,评价其芯片定位。

20 从切割/模片结合片上拾取各个硅芯片,将这些具有粘合剂层的芯片直接粘合到引线框的模垫部分上。对粘合剂层在 160°C 加热 30 分钟,实现粘合剂层的次级固化。这样就完成了芯片的结合。

实施例 3

25 使用上述芯片切割机以厚度 $35\mu\text{m}$ 的刀片,在切割深度为 $150\mu\text{m}$ 和芯片尺寸为 10mm^2 条件下,在直径为 6 英寸厚度为 $625\mu\text{m}$ 的硅晶片上形成一些凹槽。随后,将表面保护片粘合到晶片已开槽的表面上,然后经紫外光曝光。使用上述背面研磨机研磨硅晶片的背面,直至晶片厚度为 $80\mu\text{m}$,从而将该硅晶片分成各个芯片。

30 之后,在硅晶片的经研磨的背面上粘合切割/模片结合片(Adwill LE5000, 由 LINTEC Corporation 制造)。对该切割/模片结合片经受紫外光曝光,实现切割/模片结合片粘合剂层的初级固化。使用晶片切片机以厚度 $30\mu\text{m}$ 的刀片,在切割深度为 $65\mu\text{m}$

条件下，切割位于已分开的相邻各硅芯片之间的粘合剂层以及表面保护片。这一操作之后，评价其芯片定位。

剥离除去表面保护片。从切割/模片结合片上拾取各个硅芯片，将这些具有粘合剂层的芯片直接粘合到引线框的模垫部分上。对粘合剂层在 160℃加热 30 分钟，实现粘合剂层的次级固化。这样就完成了芯片的结合。

实施例 4

使用上述芯片切割机以厚度为 35μm 的刀片，在切割深度为 150μm 和芯片尺寸为 10mm² 条件下，在直径为 6 英寸厚度为 625μm 的硅晶片上形成一些凹槽。随后，将表面保护片粘合到晶片已开槽的表面上，然后经紫外光曝光。使用上述背面研磨机研磨硅晶片的背面，直至晶片厚度为 80μm，从而将该硅晶片分成各个芯片。之后，将具有聚酰亚胺热塑性粘合剂层的模片结合片粘合在硅晶片经研磨的背面上，在 130℃进行热压接合，随后冷却到室温。再粘合一切割带(Adwill D-650，由 LINTEC Corporation 制造)固定在模片结合片的侧面上。然后，使用晶片切割机以厚度 30μm 的刀片，在切割深度为 65μm 条件下，切割位于相邻各硅芯片之间的粘合剂层以及表面保护片。这一操作之后，评价其芯片定位。

从切割/模片结合片上拾取各个硅芯片，将这些具有粘合剂层的芯片直接粘合到引线框的模垫部分上。对粘合剂层在 160℃加热 30 分钟，实现粘合剂层的次级固化。这样就完成了芯片的结合。

实施例 5

使用上述芯片切割机以厚度为 35μm 的刀片，在切割深度为 150μm 和芯片尺寸为 10mm² 条件下，在直径为 6 英寸厚度为 625μm 的硅晶片上形成一些凹槽。随后，将上述表面保护片粘合到硅晶片开了凹槽的表面上。使用上述背面研磨机研磨硅晶片的背面，直至晶片厚度为 80μm，将该硅晶片分成各个芯片。之后，对表面保护片经受紫外光曝光，再将用于拾取步骤的压敏粘合剂片(Adwill D-675，由 LINTEC Corporation 制造)粘合到硅晶片的经研磨背面上。用于拾取步骤的压敏粘合剂经受紫外光曝光，从而固化该压敏粘合剂片的压敏粘合剂层。剥离除去表面保护片，这一操作之后，评价其芯片定位。

实施例 6

使用上述芯片切割机以厚度为 $35\mu\text{m}$ 的刀片，在切割深度为 $150\mu\text{m}$ 和芯片尺寸为 10mm^2 条件下，在直径为 6 英寸厚度为 $625\mu\text{m}$ 的硅晶片上形成一些凹槽。随后，将表面保护片粘合到晶片已开槽的表面上，然后经紫外光曝光。使用上述背面研磨机研磨硅晶片的背面，直至晶片厚度为 $80\mu\text{m}$ ，从而将该硅晶片分成各个芯片。之后，将用于拾取步骤的压敏粘合剂片 (Adwill D-675，由 LINTEC Corporation 制造) 粘合在硅晶片经研磨的背面上。用于拾取步骤的压敏粘合剂片经过紫外光曝光，固化该压敏粘合剂片的压敏粘合剂层。剥离除去表面保护片。这一操作之后，评价其芯片定位。

10

比较例 1

使用上述芯片切割机以厚度 $35\mu\text{m}$ 的刀片，在切割深度为 $150\mu\text{m}$ 和芯片尺寸为 10mm^2 条件下，在直径为 6 英寸厚度为 $625\mu\text{m}$ 的硅晶片上形成一些凹槽。随后，将表面保护片粘合到晶片已开槽的表面上。使用上述背面研磨机研磨硅晶片的背面，直至晶片厚度为 $80\mu\text{m}$ ，从而将该硅晶片分成各个芯片。之后，表面保护片经受紫外光曝光，在硅晶片的经研磨的背面上粘合用于拾取步骤的压敏粘合剂片 (Adwill D-675，由 LINTEC Corporation 制造)。剥离除去表面保护片。该用于拾取步骤的压敏粘合剂片经受紫外光曝光，使该压敏粘合剂片的压敏粘合剂层固化。这一操作之后，评价其芯片定位。

20

表 1

	实施 例 1	实施 例 2	实施 例 3	实施 例 4	实施 例 5	实施 例 6	比较 例 1
芯片定位评价							
X 方向变差值 (μm)	3	4	4	6	10	3	189
Y 方向变差值 (μm)	3	5	3	6	6	3	199
芯片断裂/开裂	无	无	无	无	无	无	无
封装的开裂发生率 (%)	0	0	0	0	-	-	-

说明书附图

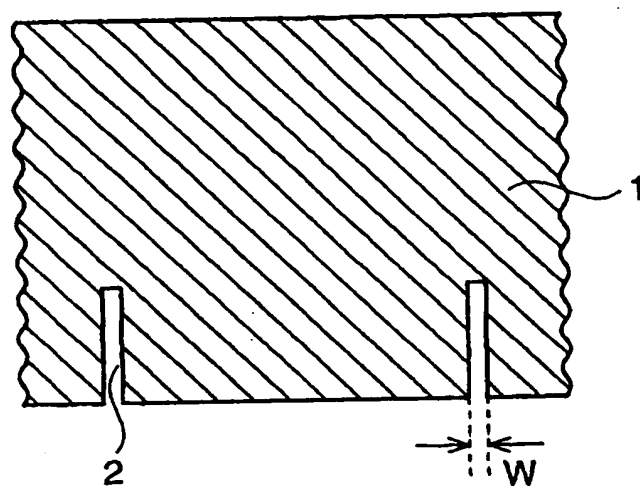


图 1

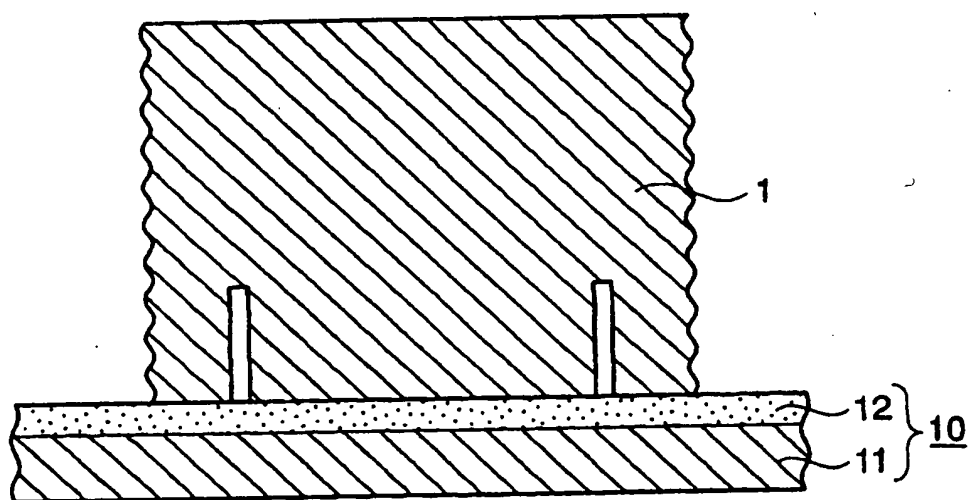


图 2

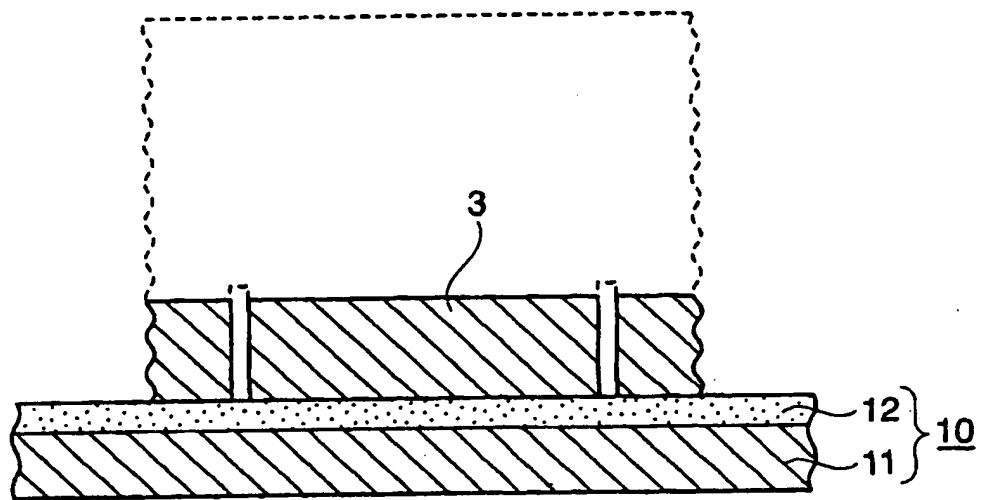


图 3

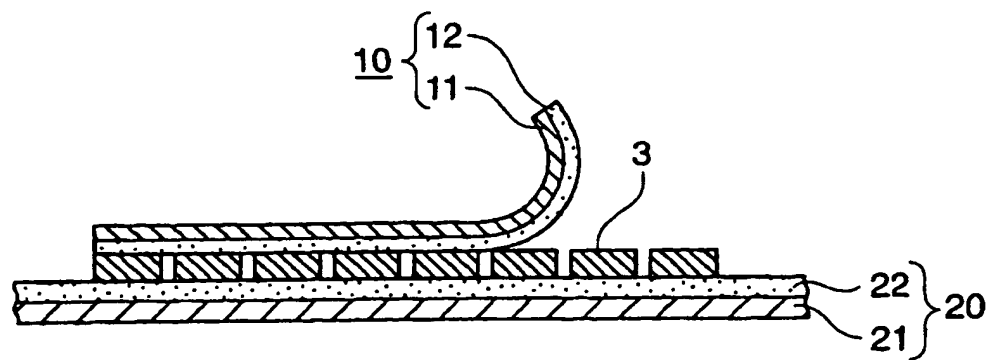


图 4

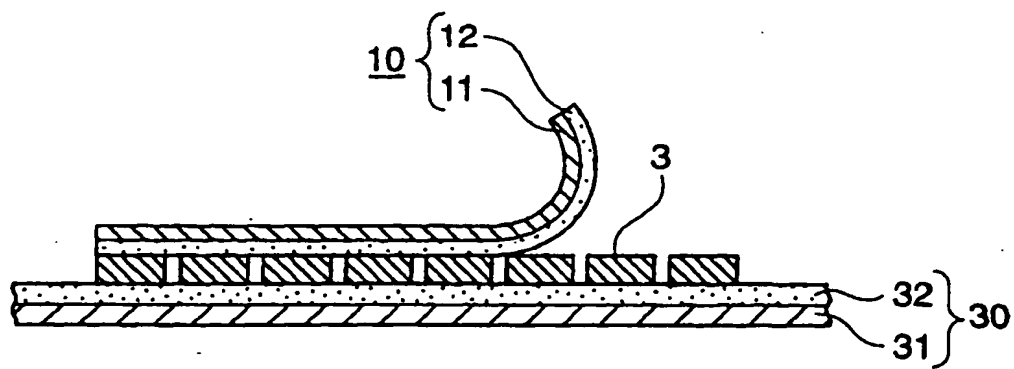


图 5

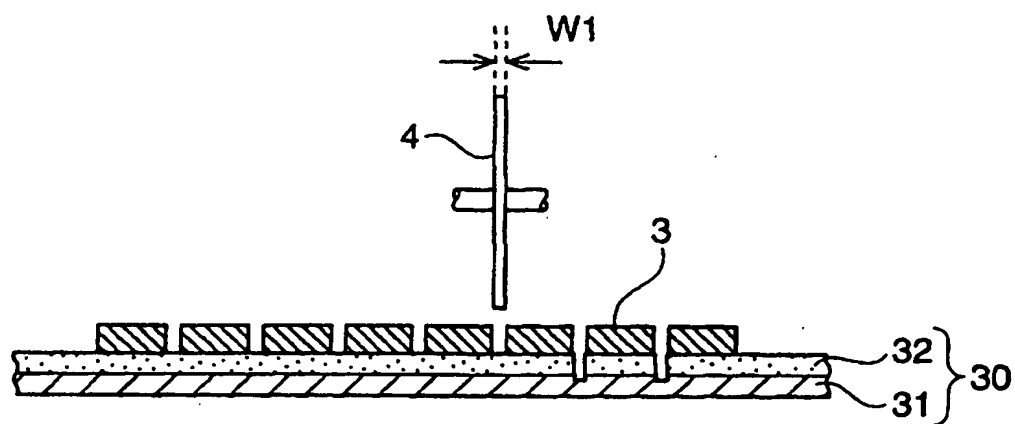


图 6

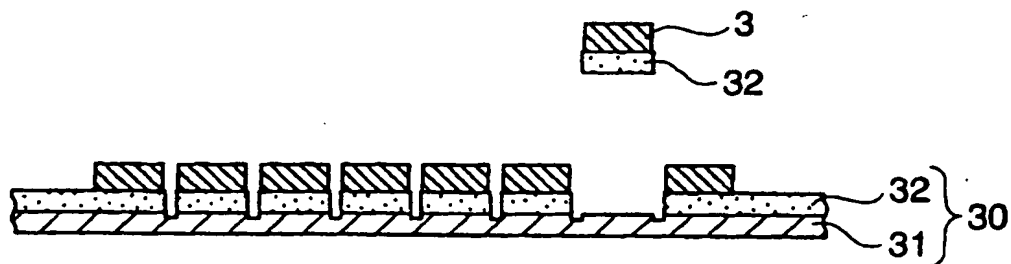


图 7

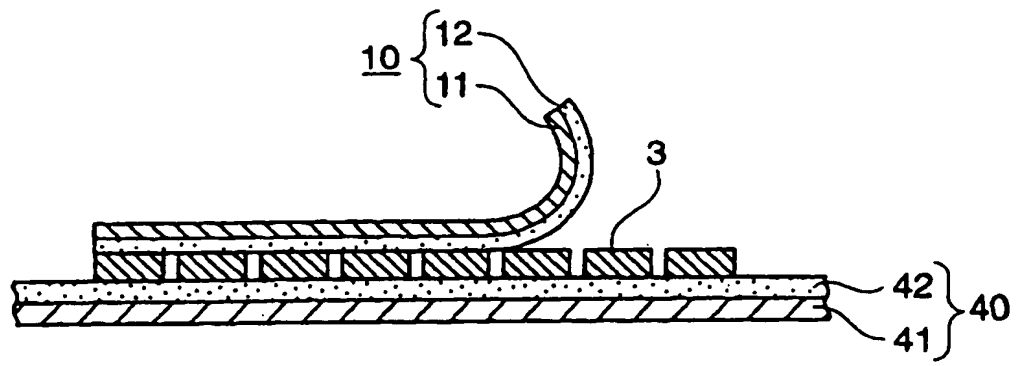


图 8

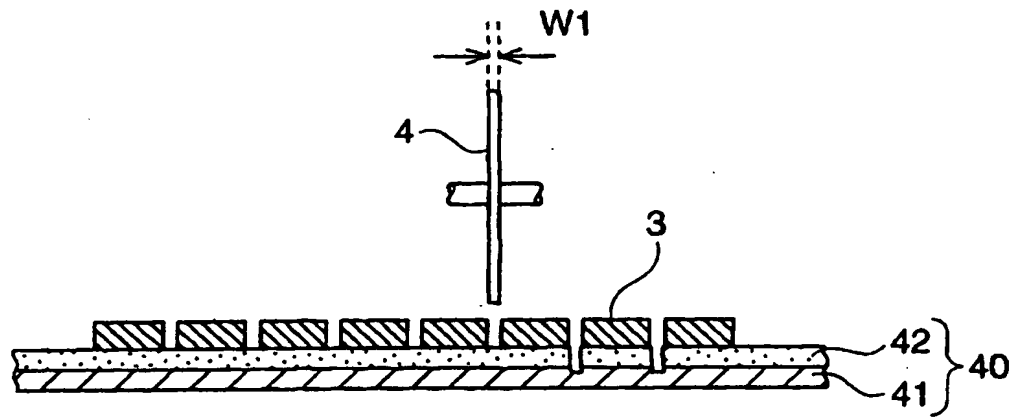


图 9

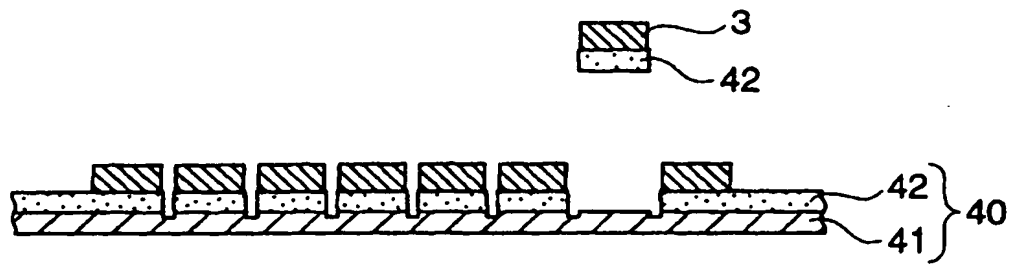


图 10